DERWENT-ACC-NO: 1994-096228

DERWENT-WEEK: 200323

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Mounting **semiconductor** element on substrate, by flip **chip** bonding - comprises **stamping** out **solder** piece and placing on each **semiconductor** element **electrode** to form **solder** connection

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1992JP-0102571 (April 22, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06045740 A	February 18, 1994	N/A	005	H05K 003/34

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06045740A	N/A	1992JP-0102571	April 22, 1992

INT-CL (IPC): H05K003/34

ABSTRACTED-PUB-NO: JP 06045740A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1a-d/5

TITLE-TERMS: MOUNT **SEMICONDUCTOR** ELEMENT SUBSTRATE FLIP **CHIP** BOND COMPRISE **STAMP SOLDER** PIECE PLACE **SEMICONDUCTOR** ELEMENT **ELECTRODE** FORM **SOLDER** CONNECT

DERWENT-CLASS: L03 U11 V04 X24

CPI-CODES: L04-C17A; L04-F02;

EPI-CODES: U11-E01C; V04-R04A3; X24-A02E;

SECONDARY-ACC-NO:
CPI Secondary Accession Numbers: C1994-044075
Non-CPI Secondary Accession Numbers: N1994-075544

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号

特開平6－45740

(43)公開日　平成６年(1994)２月18日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０５Ｋ　3/34		Ｈ　9154－4Ｅ		

審査請求　未請求　請求項の数５(全　５　頁)

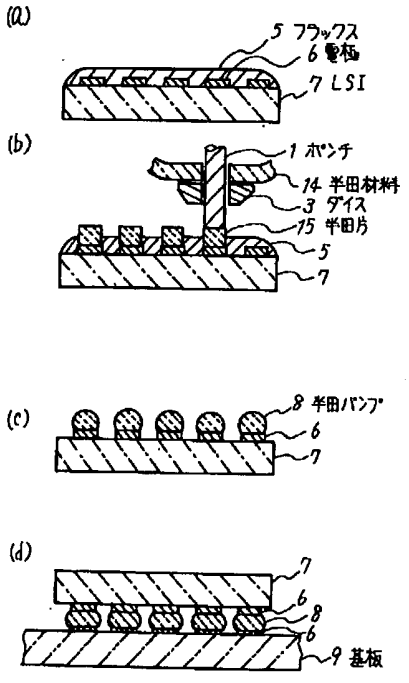
(21)出願番号　特願平4－102571

(22)出願日　平成４年(1992)４月22日

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(72)発明者　吉野　喜一
東京都港区芝五丁目７番１号日本電気株式会社内
(74)代理人　弁理士　京本　直樹　(外２名)

(54)【発明の名称】　半田接続方法

(57)【要約】
【目的】基板上の電極に機械的衝撃をかけることなく、高精度な半田接続を行う。
【構成】ポンチ１とダイス３を用いて半田材料１５を打ち抜いてポンチ１の先端で半田片１５を予めフラックス５を塗布したＬＳＩ７上に接触させて半田片１５をＬＳＩ７の所定の位置に配置し、電極６に溶着させ半田バンプ８とし、基板９にフリップチップ実装する。



1

【特許請求の範囲】

【請求項1】ポンチとダイスを用いて半田材料を打ち抜いて形成した半田片を前記ポンチを用いて第1の基板上の予め塗布されたフラックス層に接触させることにより前記第1の基板の電極に前記半田片を配置し、次いで前記半田片を溶融して球面状のバンプを形成し、その後前記第1の基板と第2の基板とを電極間の位置合わせをしながら重ね合わせ、しかる後に、前記半田片を溶融して前記第1の基板と第2の基板との電極間を接続することを特徴とする半田接続方法。

【請求項2】ポンチとダイスを用いて半田材料を打ち抜いて形成した半田片を前記ポンチを用いて第1の基板上の予め形成されたフラックス層に接触させることにより前記第1の基板の電極に前記半田片を配置し、次いで前記第1の基板と第2の基板とを電極間の位置合わせをしながら重ね合わせ、しかる後に、前記半田片を溶融して前記第1の基板と第2の基板との電極間を接続する請求項1記載の半田接続方法。

【請求項3】フラックスの形成が回転塗布法により行われる請求項1および2記載の半田接続方法。

【請求項4】フラックスの形成が電極部のみに行われる請求項1および2記載の半田接続方法。

【請求項5】半田片の材料が、錫系半田、錫鉛半田、インジウム系半田、金錫半田、金シリコン半田、金ゲルマニウム半田の中のいずれかの半田である請求項1、2および3記載の半田接続方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半田接続方法に関し、特に、半導体素子のフリップチップ実装用の半田接続方法に関する。

【0002】

【従来の技術】従来より、半導体素子の高密度接続方式として、半田バンプを形成して基板間の接続を行うフリップチップ実装法が知られている。この半田バンプの形成方法としては、メッキや蒸着で半田を供給する方法や予め球形の半田ボールを用意し電極部に配置する方法がある。

【0003】図4（a）～（e）は、メッキ法で半導体素子上に半田バンプを形成する方法を示す工程断面図である。まず、半導体素子の全面にスパッタなどでCr等の11接着層、Ni等の10拡散防止層を順次積層する。〔図4（a）〕次いで、レジスト層12を全面に塗布し露光、現像して電極部分のレジスト層12を除去する。その後、メッキにより厚い半田を電極部に形成する。〔図4（b）〕メッキ後は、レジスト層12を除去し半田メッキ層13をマスクとして電極部以外のメッキ下地層14、拡散防止層10、接着層11をエッチング除去し、半田供給工程が完了する。〔図4（c）〕蒸着で半田を供給する場合は、接着層11、拡散防止層10

2

はレジスト層12を形成して電極部以外を予め除去しておき、メッキに代わる蒸着工程では、電極部のみ穴を明けた金属板を取付け電極部のみに半田層を形成する。通常、半導体素子上の半田層は加熱溶融され球面状の半田バンプに成形される。〔図4（d）〕次いで、半導体素子は基板上に位置決めされフリップチップ実装される。〔図4（e）〕

図5（a），（b）は特願平02－178854で提案した、金属シートをポンチ、ダイスを用いて所定の径と厚みで打ち抜き、ポンチを使って直接電極上に金属片を圧着する方法を示す。基板9上の所定の位置にポンチ1とダイス3を位置決めする。〔図5（a）〕シート状の金属材料2をポンチ1で打ち抜き、打ち抜かれた金属片4をポンチ1先端で基板9上へ圧着する。〔図5（b）〕この方法は半田供給にも応用できる。

【0004】

【発明が解決しようとする課題】上述したような半田バンプ形成方法を用いる従来の半田接続方法では、以下のような問題点があった。すなわち、メッキ法や蒸着法は、工程が複雑であること、大きい膜厚の半田層を付けるには処理時間が長くなること、このため、バンプ形成コストが高くなること、大きな設備投資が必要であることなどの問題があった。さらに、これらの方法では、組成のずれが起き易く信頼性の高い半田を得にくいこと、半導体素子などでは歩留を低下させる要因となること、ウエハー状態で処理する必要があり柔軟性にかけるなどの問題もある。またメッキ法では均一な膜を得にくいので形状の均一なバンプを得られないといった問題もある。半田シートをポンチ、ダイスで打ち抜き、打ち抜き用ポンチを使って半田片を直接圧着する方法は、上述のような欠点がないが、電極部に半田の打ち抜き片を加圧して供給するので、表面層が機械的強度が弱い半導体素子の場合ポンチ加圧力の高度の制御が必要となる。また、半田と電極との接着力を得るには、半田と合金化しやすいAuなどを電極表面につけ、基板加熱を行う必要があり、Auの半田中への拡散など信頼性上の問題があった。

【0005】

【課題を解決するための手段】1）ポンチとダイスを用いて半田材料を打ち抜いて形成した半田片をポンチを用いて第1の基板上の予め塗布されたフラックス層に接触させることにより第1の基板の電極に半田片を配置し、次いで半田片を溶融して球面状のバンプを形成し、その後第1の基板と第2の基板とを電極間の位置合わせをしながら重ね合わせ、しかる後に、半田片を溶融して第1の基板と第2の基板との電極間を接続する。

2）ポンチとダイスを用いて半田材料を打ち抜いて形成した半田片をポンチを用いて第1の基板上の予め形成されたフラックス層に接触させることにより前記第1の基板の電極に半田片を配置し、次いで第1の基板と第2の

基板とを電極間の位置合わせをしながら重ね合わせ、しかる後に、半田片を溶融して第１の基板と第２の基板との電極間を接続する。

【０００６】

【実施例】次に本発明について図面を参照して説明する。

【０００７】図１（ａ）～（ｄ）は、本発明の一実施例の工程断面図である。バンプを形成すべきＬＳＩ７上に予め回転塗布機を用いてフラックス５を塗布した。塗布膜厚はフラックスの粘性、回転塗布機の回転数で制御できる。〔図１（ａ）〕次いで、ＬＳＩ７の電極にポンチ１とダイス３を有する打ち抜き冶具を設置し、シート状の半田材料１４を打ち抜き半田片１５を形成するとともにポンチ１をオーバーストロークさせて半田片１５をフラックス５に接触させる。打ち抜かれた半田片１５は、弱い付着力でポンチ１に付着しているが、フラックス５の粘着性によりポンチ１より外れ、電極６上に残ることになる。打ち抜き冶具を電極配置に従い間欠送りさせることにより電極６上に順次半田片１５を供給する。〔図１（ｂ）〕次いで、ＬＳＩ７を加熱し半田片１５を球面状に成形するとともに電極６との接合を行う。ここで、半田片１５を付着させるために形成したフラックス５は本来の加熱溶融時の半田酸化膜除去、電極濡れ性向上の働きをするので、改めてフラックス塗布を行うことなく好ましい形状の半田バンプ８を形成できる。〔図１（ｃ）〕最後に、球面状の半田バンプ８を形成したＬＳＩ７を基板９と位置合わせし、再度加熱溶融することによりＬＳＩ７と基板９の電極間を接続する。〔図１（ｄ）〕

本実施例では、ピッチ400μｍで配列された表面層がＣｕの電極に厚さ150μｍ、直径200μｍの錫鉛共晶半田を供給した。打ち抜き法の場合、打ち抜かれる材料の厚さとポンチ、ダイス径により打ち抜き片の体積は高精度の制御ができる。フラックスは、粘度9.5cpのロジン系フラックスを回転数1500rpmで塗布し、約7μｍのフラックス膜を形成した。フラックスがない場合、半田片を安定して電極にのせるには半田と電極材料間の金属間接合を得る必要があり、電極の表面層をＡｕのような酸化しにくい層としても40ｇｆ以上の大きい加圧力を加える必要があったが、本発明ではフラックスを塗布してあるので、本実施例のＣｕ、あるいはＮｉ等の酸化膜を形成する電極材料であっても半田片供給の際の基板電極への圧力は３ｇｆ以下と機械的衝撃をほとんどかけることなく半田片１５を載せることができる。塗布するフラックス５の厚さは厚すぎる場合、半田片１６の電極６上への載りが不安定になり、溶融時の半田片１５の流れ出しによるブリッジ等の不良が起きやすくなる。一方、薄すぎると半田片１５が電極６上に残らなくなり、また、溶融時の酸化膜除去等の効果が不足することになる。フラックス厚さとしては、半田片厚さの4～50%が適当である。

【０００８】本発明のフラックス層の形成として、スクリーン印刷法などを用いて図２のように電極部のみにフラックス層を形成してもよい。この場合、フラックスは電極部のみにあるので、半田片供給後の溶融時に位置ずれによるブリッジ等の不良が起きにくい。また、半田片配列後連続して基板との接続を行う場合は、図３（ａ），（ｂ）のように、半田片１５供給後バンプを加熱成形することなく基板９と重ね合わせ、加熱溶融してＬＳＩ７と基板間の接続を行う。この場合、工程がより簡略となる。

【０００９】以上のように、本発明の方法を用いることにより、ＬＳＩ電極に機械的衝撃を加えることなく、高密度に配列された電極を持つＬＳＩのフリップチップ実装が可能となる。なお、本発明に用いる半田は、錫鉛半田のみではなく、金錫半田、インジウム系半田、錫系半田等にも適用できる。また本発明は、ＬＳＩだけでなく機械的衝撃に弱い配線基板に半田バンプ８を形成し接続を行う場合にも有効である。

【００１０】

【発明の効果】以上説明したように本発明は、打ち抜き法で形成した半田片を電極に機械的衝撃をかけることなく供給できるので、均一な体積による半田接続を高信頼で実現できるという効果がある。また、湿式工程や真空工程が不要であり工程が簡略であるとともに、供給する半田材料、電極構造に対しての制約が少なく、信頼性の高い接合を得やすいという利点がある。

【図面の簡単な説明】

【図１】（ａ）～（ｄ）は本発明の一実施例の工程断面図である。

【図２】本発明の一実施例のフラックス塗布方法を示す断面図である。

【図３】（ａ），（ｂ）は本発明の一実施例の工程断面図である。

【図４】（ａ）～（ｅ）は従来のメッキ法及び蒸着法による半田供給方法を示す工程断面図である。

【図５】（ａ），（ｂ）はポンチとダイスを用いた打ち抜き法による半田供給方法を示す工程断面図である。

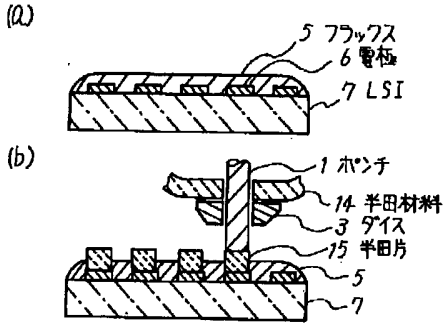
【符号の説明】

１　ポンチ
２　金属材料
３　ダイス
４　金属片
５　フラックス
６　電極
７　ＬＳＩ
８　半田バンプ
９　基板
１０　拡散防止層
１１　接着層
１２　レジスト層

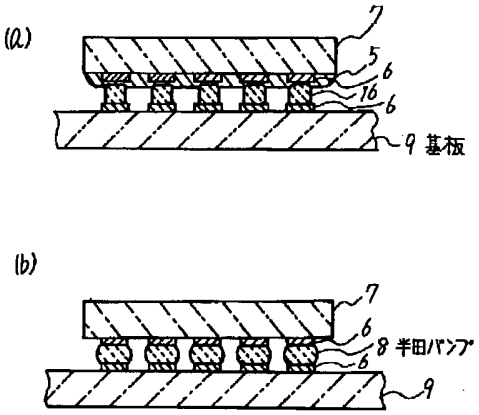
5

13　半田メッキ
14　半田材料

【図1】



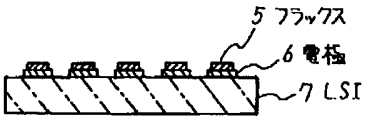
【図3】



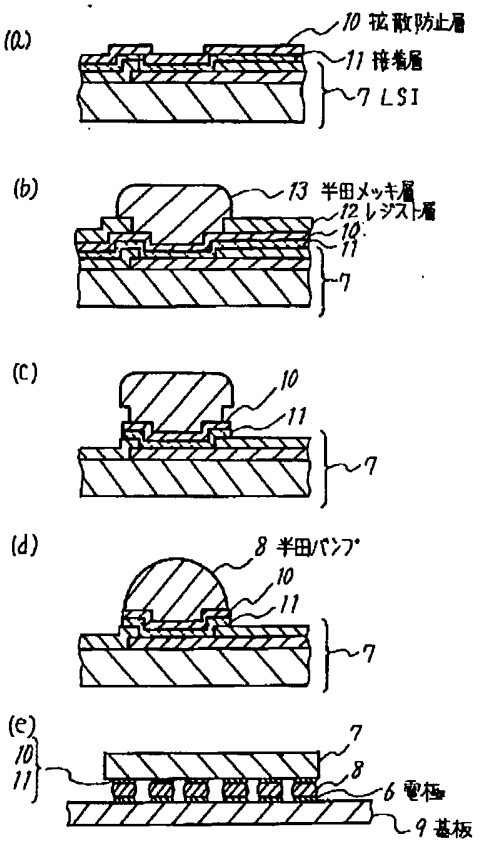
6

15　半田片

【図2】



【図4】



【図5】

